郑州轻工业大学

**实验报告**

**课程名称：** FPGA系统设计

**姓 名：** 原彬贺

**院 （系）：** 计算机与通信工程学院

**专业班级：** 计算机科学与技术2002

**学 号：** 542001020223

**指导教师：** 耿鑫

**成 绩：**

**时间：** 2022 **年** 4 **月** 26 **日**

目　　录

1任务与要求………………………………………………………… ……………… 1

2实验内容………………………………………………………… ……………… 1

3实验过程和结果………………………………………………………… ……………… 4

4. 总结和体会

# 设计任务和要求

**任务**：完成基于Verilog的十进制加减计数器设计。

**要求**：Verilog语言编写程序，实现十进制计数器功能，输入控制端可控制加法或减法技术功能。

# 实验内容

* 1. 掌握十进制加减技术的原理，理解Verilog语言实现时序控制的方法；
  2. 使用Verilog语言编程，实现加减计数的控制；
  3. 编写testbench文件，用Multisim仿真，输出波形图，并验证实验结果。

## 3 实验过程及结果

在QUARTUSII环境下，进行Verilog程序设计，完成加减计数功能。

### 3.1十进制加减计数的原理

十进制计数器原理：

我们介绍一下同步十进制加计数器的原理。

电路组成：

图 1.44所示电路是用 T 触发器组成的同步十进制加法计数器电路，它是在上个实验中 T 触

发构成的计数器电路的基础上略加修改而成的。

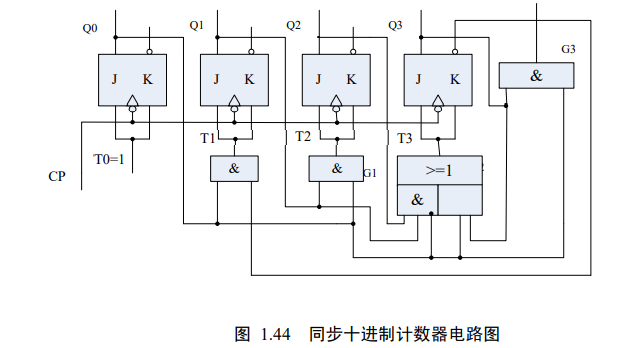
由下图知，如果从 0000 开始计数，则直到输入第九个脉冲为止，它的工作过程与 T 触发构

成的计数器相同。计入第九个后电路进入 1001 状态，这时 Q3 的低电平使门 G1 的输出为 0，而

Q0 和 Q3 的高电平使门 G3 的输出为 1 ，所以 4 个触发器的输入控制端分别为

T0=1,T1=0,T2=0,T3=1。因此，当第十个计数脉冲输入后，中间两个触发器维持 0 不变，两边的

触发器从 1 翻转到 0，故电路返回 0000 状态。



### 3.2 Verilog语言实现十进制加减计数的代码设计

module counter\_10(rst,clk,sel,cnt,carry\_ena);

input clk;

input rst;

input sel;

output [3:0]cnt;

output carry\_ena;

reg [3:0]cnt;

reg carry\_ena;

always@(posedge clk or posedge rst)

begin

if(rst)

cnt <= 4'b0;

else

case(sel)

1:

begin

if(cnt==4'd10)

cnt <= 4'b0;

else

cnt <= cnt + 1'b1;

end

0:

begin

if(cnt==4'b0)

cnt <= 4'd10;

else

cnt <= cnt - 1'b1;

end

endcase

end

always@(posedge clk or posedge rst)

begin

if(rst)

carry\_ena <= 1'b0;

else

case(sel)

1:

begin

if(cnt==4'd10)

carry\_ena <= 1'b1;

else

carry\_ena <= 1'b0;

end

0:

begin

if(cnt==4'b0)

carry\_ena <= 1'b1;

else

carry\_ena <= 1'b0;

end

endcase

end

endmodule

3.3测试文件的编写

timescale 1ns/1ns

module test\_decade\_counte;

reg clock,load\_n,clear\_n,updown;

reg [3:0]load\_data;

wire [3:0]q;

decade\_counter T1(clock,load\_n,clear\_n,updown,load\_data,q);

initial

begin

clock=0;clear\_n=0;

#30 clear\_n=1;load\_n=0;load\_data=7;

#30 load\_n=1;updown=0;

#300 updown=1;

#300 updown=O;

#300 updown=1;

#300 $stop;

end

always

#10 clock=~clock;

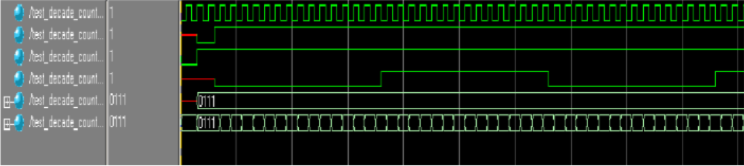
always

@(q)

$display("At time%t,q=%d",$time,q);

endmodule

3.3 实验结果分析（包括编译、波形仿真等）



# 4实验总结和心得

本实验要求我们完成基于Verilog的十进制加减计数器设计。通过Verilog语言编写程序，实现十进制计数器功能，输入控制端可控制加法或减法技术功能。本实验要求我们掌握十进制加减技术的原理，理解Verilog语言实现时序控制的方法；并编写testbench文件，用Multisim仿真，输出波形图，并验证实验结果。通过此次实验，基本掌握了十进制加减技术的原理。使我在对计算机硬件语言有了初步的认识，帮助我加深对其的理解。